

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294367

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

H01L 21/768  
H01L 21/28  
H01L 21/3065  
H01L 27/108  
H01L 21/8242

(21)Application number : 09-103644

(71)Applicant : SONY CORP

(22)Date of filing : 21.04.1997

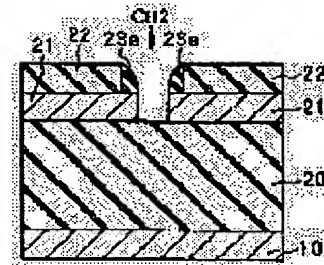
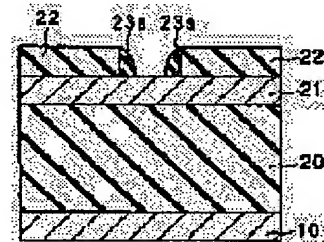
(72)Inventor : NAKANISHI YOSHIMASA  
NAGAOKA KOJIRO  
KIMURA TADAYUKI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for manufacturing a semiconductor device having miniscule contacts with a reliability of wiring which does not cause short circuits of wiring or etching stops.

**SOLUTION:** An insulating film 20 is formed on a semiconductor substrate 10. A first mask layer 21 is formed on the insulating film 20. A second mask film 22 is formed on the first mask film 21. A first contact hole is made in the second mask layer 22. A side wall mask layer 23a is formed for reducing the diameter of the opening of the first contact hole. A second contact hole CH2 connected to the first contact hole is made in the first mask layer 21 using the second mask layer 22 and the side wall mask layer 23a as a mask. A second contact hole CH2 penetrating the insulating film is made by using the first mask layer 21 with a second contact hole as a mask. The connected first and second contact holes are filled with conductive substance to form a wiring layer.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294367

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/768  
21/28  
21/3065  
27/108  
21/8242

H 0 1 L 21/90 C  
21/28 L  
21/302 M  
27/10 6 2 1 B

審査請求 未請求 請求項の数17 O L (全 23 頁)

(21) 出願番号 特願平9-103644

(22) 出願日 平成9年(1997)4月21日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中西 賢真

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 長岡 弘二郎

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 木村 忠之

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 佐藤 隆久

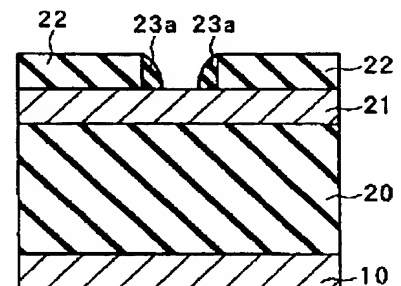
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

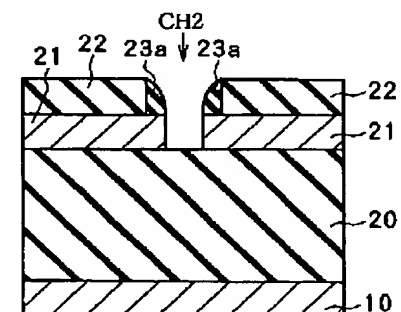
【課題】配線のショートやエッチングストップの生じない、配線の信頼性を確保した微細なコンタクトを有する半導体装置の製造方法を提供する。

【解決手段】半導体基板10上に絶縁膜20を形成し、絶縁膜上に第1マスク層21を形成し、第1マスク層の上層に第2マスク層22を形成し、第2マスク層に第1コンタクトホールCH1を開口し、第1コンタクトホールの内壁に第1コンタクトホールの開口径を狭めるサイドウォールマスク層23aを形成し、第2マスク層および前記サイドウォールマスク層をマスクにして第1マスク層に第1コンタクトホールと連通する第2コンタクトホールCH2を開口し、第2コンタクトホールが開口された第1マスク層をマスクにして絶縁膜を貫通する第2コンタクトホールを開口し、連通する第1コンタクトホールおよび第2コンタクトホールを導電体で埋め込み、配線層30を形成する。

(d)



(e)



## 【特許請求の範囲】

【請求項1】半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第1マスク層を形成する工程と、前記第1マスク層の上層に第2マスク層を形成する工程と、前記第2マスク層に第1コンタクトホールを開口する工程と、前記第1コンタクトホールの内壁に前記第1コンタクトホールの開口径を狭めるサイドウォールマスク層を形成する工程と、前記第2マスク層および前記サイドウォールマスク層をマスクにして前記第1マスク層に前記第1コンタクトホールと連通する第2コンタクトホールを開口する工程と、前記第2コンタクトホールが開口された第1マスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程と、前記連通する第1コンタクトホールおよび第2コンタクトホールを導電体で埋め込み、配線層を形成する工程とを有する半導体装置の製造方法。

【請求項2】前記第1マスク層に第2コンタクトホールを開口する工程が、前記第1マスク層を貫通して前記絶縁膜を露出させる工程である請求項1記載の半導体装置の製造方法。

【請求項3】前記第1マスク層に第2コンタクトホールを開口する工程が、前記第1マスク層を貫通し、前記絶縁膜の上方に達する第2コンタクトホールを開口する工程である請求項1記載の半導体装置の製造方法。

【請求項4】前記第1マスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程が、同時に前記第2マスク層および前記サイドウォールマスク層を除去する工程である請求項1記載の半導体装置の製造方法。

【請求項5】前記第1マスク層に第2コンタクトホールを開口する工程と、前記第1マスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程の間に、前記第2マスク層および前記サイドウォールマスク層を除去する工程を有する請求項1記載の半導体装置の製造方法。

【請求項6】前記第1マスク層を、前記絶縁膜とエッチング選択比をとることができる材料で形成する請求項1記載の半導体装置の製造方法。

【請求項7】前記第2マスク層およびサイドウォールマスク層を、前記第1マスク層とエッチング選択比をとることができる材料で形成する請求項1記載の半導体装置の製造方法。

【請求項8】前記第1マスク層をポリシリコンで形成し、前記第2マスク層およびサイドウォールマスク層を酸化シリコンあるいは窒化シリコンにより形成する請求項7

記載の半導体装置の製造方法。

【請求項9】前記第1マスク層を窒化シリコンで形成し、前記第2マスク層およびサイドウォールマスク層をポリシリコンあるいは酸化シリコンにより形成する請求項7記載の半導体装置の製造方法。

10 【請求項10】前記第1コンタクトホールの開口工程および第2コンタクトホールの開口工程の少なくともいずれかの工程が低圧高密度のプラズマエッチングにより開ロする工程である請求項1記載の半導体装置の製造方法。

【請求項11】前記低圧高密度のプラズマエッチングがECRタイプ、ICPタイプ、あるいはヘリコン波プラズマタイプのいずれかのプラズマエッチングである請求項10記載の半導体装置の製造方法。

20 【請求項12】半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上にマスク層を形成する工程と、前記マスク層に第1コンタクトホールを開口する工程と、

前記第1コンタクトホールの内壁に前記第1コンタクトホールの開口径を狭めるサイドウォールマスク層を形成する工程と、前記マスク層および前記サイドウォールマスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程と、前記連通する第1コンタクトホールおよび第2コンタクトホールを導電体で埋め込み、配線層を形成する工程と、30 前記マスク層および前記サイドウォールマスク層を除去する工程とを有し、前記マスク層および前記サイドウォールマスク層を前記配線層に対してエッチング選択比を有する材料により形成する半導体装置の製造方法。

【請求項13】前記マスク層および前記サイドウォールマスク層を窒化シリコンで形成し、前記配線層をポリシリコンで形成する請求項12記載の半導体装置の製造方法。

40 【請求項14】前記マスク層および前記サイドウォールマスク層を、前記絶縁膜とエッチング選択比をとることができる材料で形成する請求項12記載の半導体装置の製造方法。

【請求項15】前記絶縁膜を酸化シリコンで形成し、前記マスク層および前記サイドウォールマスク層を窒化シリコンで形成し、前記配線層をポリシリコンで形成する請求項14記載の半導体装置の製造方法。

50 【請求項16】前記第1コンタクトホールの開口工程および第2コンタクトホールの開口工程の少なくともいずれかの工程が低圧高密度のプラズマエッチングにより開

口する工程である請求項12記載の半導体装置の製造方法。

【請求項17】前記低圧高密度のプラズマエッチングがECRタイプ、ICPタイプ、あるいはヘリコン波プラズマタイプのいずれかのプラズマエッチングである請求項16記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、特に微細なコンタクトを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年のVLSIの高集積化は3年で次世代へ進み、デザインルールは前世代の7割の縮小化が行われ、縮小化に伴い半導体装置の高速化も実現してきた。この高集積化は半導体装置の製造工程における微細加工技術の進歩、特に光露光技術の高解像力化により達成されてきた。光露光技術の高解像力化は、デザインルールに対応した寸法精度、重ね合わせ精度を満足しつつ、露光装置、レジスト材料、レジストプロセスの高性能化により達成されてきた。

【0003】パターンサイズが1.0~0.5 $\mu$ mの光露光技術は、メモリを例とすると、1MDRAMから16MDRAMに対応し、この間の大きな変化として、パターン露光する光がg線(436nm)からi線(365nm)に短波長化された。現在ではi線を用いた0.35 $\mu$ mルールのLSIが主力であるが、0.25 $\mu$ mルールではKrFエキシマレーザー(248.8nm)を用いて露光する技術が開発され、量産化の検討が行われている。

【0004】しかし、最近発表された0.25 $\mu$ m量産向け露光装置においては、セルサイズの微細化のトレンドの維持が困難になりつつある。これは、ステップの位置合わせのばらつきの改善不足が原因となっており、位置合わせのばらつきが大きいため位置合わせの設計余裕を大きくせざるを得ないためである。結果的に配線幅が縮小化されたにもかかわらず、セルサイズの縮小化が困難となっている。従って、露光技術によらないセルサイズの縮小化技術が求められている。

【0005】その一つとして、コンタクトホール工程の位置合わせのためのマスク上の設計余裕を不要にできる自己整合コンタクト(Self Aligned Contact; 以下SACと略)技術が注目されている。

【0006】この位置合わせの設計余裕を不要にできると言われている技術であるSACの形成法にはいくつかあり、いずれも従来の露光だけを使った方法に比べてプロセスが多少複雑になる欠点を持つのが一般的である。しかし、将来的にその採用は不可欠と考えられており、SACに関して様々な研究がなされている。

【0007】但し、SACを実用化する方法には、薄い

Si<sub>3</sub>N<sub>4</sub>膜上でエッチングを停止させるような難度の高いエッチング技術をクリアすることが必要である。対Si<sub>3</sub>N<sub>4</sub>高選択比プロセスとして、装置の放電方式によってもやや異なるが、基本的にはCF系保護膜を使い、SiO<sub>2</sub>エッチング速度の劣化を高密度プラズマを使うことで防ぐ方法が考えられている。

【0008】しかしながら、SAC技術はトータルで見るとまだ課題が多いと言わざるを得ない。そこで、従来から知られているようなコンタクトホールを開口するためのマスクとなる層のコンタクトホール内壁にサイドウォールを形成し、コンタクトホールの径を狭めて開口する方法が試みられている。

【0009】上記の方法を適用して製造した半導体装置の断面図を図29に示す。半導体基板10上に図示しないMOSトランジスタなどの素子が形成されており、その上層に例えば酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、半導体基板10に接続している。

【0010】上記の半導体装置の製造方法について、以下に説明する。まず、図30(a)に示すように、半導体基板10上に、図示しないMOSトランジスタなどの素子を形成し、その上層に例えば酸化シリコンを堆積させ、リフローあるいはエッチバックにより平坦化して絶縁膜20を形成した後、例えばポリシリコンを堆積させてマスク層21を形成する。マスク層21の上層に、エキシマステッパーにより例えば0.4 $\mu$ m $\phi$ のコンタクトホールパターンにパターニングしたレジスト膜R1を形成する。

【0011】次に、図30(b)に示すように、例えばRIE(反応性イオンエッチング)などのエッチングを行い、絶縁膜20を露出させる第1コンタクトホールCH1をマスク層21に形成する。

【0012】次に、図30(c)に示すように、例えばポリシリコンを第1コンタクトホールCH1内を埋め込んでマスク層21上面を全面に約100nmの膜厚で堆積させて、サイドウォールマスク用層23を形成する。

【0013】次に、図31(d)に示すように、例えばRIEなどによりエッチバックを行い、ポリシリコンのサイドウォールマスク層23aを形成する。これにより、コンタクトホールの開口径を約0.2 $\mu$ m $\phi$ に狭めることができる。

【0014】次に、図31(e)に示すように、マスク層21およびサイドウォールマスク層23aをマスクとしてRIEなどのエッチングを行い、絶縁膜20を貫通して半導体基板10を露出させる第2コンタクトホールCH2を開く。サイドウォールマスク層23aの形成により、第2コンタクトホールCH2の開口径を約0.2 $\mu$ m $\phi$ とすることができる。

【0015】次に、図31(f)に示すように、第2コンタクトホールCH2を埋め込んで全面に例えばポリシリコンを堆積させ、埋め込み配線層30を形成する。

【0016】次に、例えばRIEなどのエッチングにより埋め込み配線層30をエッチバックしてコンタクトホールの外部にあるポリシリコン層を除去し、コンタクトホールに埋め込まれた埋め込み配線層30aを形成し、図29に至る。

【0017】上記の方法によれば、前述のSACと異なり、対Si<sub>3</sub>N<sub>4</sub>高選択比条件等の新規プロセスが不要で、マイクロローディング効果を注意深くクリアしていくという従来からのアプローチを適用することで、開口径0.1~0.2μmφ程度の微細なコンタクトホールの開口を達成することができる。

【0018】

【発明が解決しようとする課題】しかしながら、この技術を用いて、0.25μmルール世代において0.1~0.2μmφの極めて微細なコンタクトホールを開口する場合、コンタクトホールのアスペクト比が5~10と極めて高くなり、図32(a)に示す装置に対して第2コンタクトホールを開口すると、マイクロローディング効果によるエッチレートの低下が生じ、極端な場合、図32(b)に示すように、エッチストップESにおいてエッチングの進行が止まってしまう現象が生じて、コンタクトホールの開口不良が生じる。

【0019】上記の第2コンタクトホールの開口である、酸化シリコンからなる絶縁膜20のエッチングは、絶縁膜20表面へのフロロカーボン膜の堆積をしながらエッチングイオンの入射により進行するが、高アスペクト比のコンタクトホールでは入射イオンがホール底部にまで到達できにくくなり、過剰なフロロカーボン膜の堆積がエッチング反応を抑制するためにマイクロローディング効果やエッチストップの発生が生じるのである。

【0020】従って、フロロカーボン膜の堆積を抑制したエッチングを行えば、マイクロローディング効果やエッチストップの発生を抑制することができるが、フロロカーボン膜の堆積を抑制すると酸化シリコンに対するポリシリコンのエッチング選択比が小さくなってしまいう問題がある。図33(a)はコンタクトホール開口前における開口部近傍の拡大図である。ポリシリコンのマスク層21の上層のフロロカーボン層FCに比較して、サイドウォールマスク層21aの上層のフロロカーボン層FCは膜厚が薄いためにエッチングされやすくなっている。エッチングの進行に伴い、図33(b)に示すように、ポリシリコンのサイドウォールマスク層およびマスク層がエッチングされてその表面が後退し、コンタクトホールCHの開口径が拡大していく。この原因としては、ポリシリコンのサイドウォールマスク層が、エッチング選択比の低い構造となっていることもあげられる。

【0021】図34、35は対ポリシリコン選択比を小

さくしてエッチングを行い、コンタクトホールを開口した場合の半導体装置の形状を示す。図34(a)に示すように、半導体基板10の上層にポリシリコンなどのゲート電極31などの配線層を有し、その上層の絶縁膜20にコンタクトホールを開口する。対ポリシリコン選択比を小さくしたことにより、図34(b)に示すように、図中の点線で示したサイドウォールマスク層21aおよびマスク層21のエッチング前の表面は後退Bをしてマスク層は薄膜化し、開口径は拡大してしまう。

【0022】次に、図35(c)に示すように、開口したコンタクトホール内およびマスク層の上層に全面にポリシリコンを堆積させて埋め込み配線層30を形成すると、コンタクトホールの開口径が拡大していることからコンタクトホール内を十分に満たすことができず、埋め込み配線層30のコンタクトホールの上方において大きな凹みHが生じる。このような状況のままエッチバックを行い、コンタクトホールの外部のポリシリコンを除去すると、図35(d)に示すように、プラグロスPLが大きくなり、場合によってはこのエッチバックにおいて半導体基板10までエッチングされて基板のえぐれXが生じることがあり、コンタクト抵抗の増大など、コンタクト不良を招く。またコンタクトホールの開口径が拡大してゲート電極31などの配線層とコンタクトホール内の配線層の距離が部位Sにおいて狭くなっており、耐圧不良あるいは配線のショートを引き起こすことがある。

【0023】上記のような問題を解決するために、マスク層の膜厚を厚くしてコンタクトホールの開口エッチングにおけるマスク層の後退を抑制させる方法があるが、この場合コンタクトホールのアスペクト比が更に高くなるためにマイクロローディング効果やエッチストップの発生を起こしやすくなる恐れがある。また、アスペクト比が同じ場合でもポリシリコンのマスク層の膜厚を厚くするとエッチストップが生じやすい現象が報告されており、マージンの拡大のためにもマスク層の薄膜化が望まれている。

【0024】本発明は上記の問題点に鑑みてなされたものであり、従って、本発明の目的は、コンタクトホール内壁にサイドウォールを形成し、コンタクトホールの開口径を狭めて開口する方法において、マスク層の薄膜化及びサイドウォールマスク層の後退を抑制し、配線のショートやエッチングストップの生じない、配線の信頼性を確保した微細なコンタクトを有する半導体装置の製造方法を提供することである。

【0025】

【課題を解決するための手段】上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第1マスク層を形成する工程と、前記第1マスク層の上層に第2マスク層を形成する工程と、前記第2マスク層に第1コンタクトホールを開口する工程と、前記第1コンタクトホー

ルの内壁に前記第1コンタクトホールの開口径を狭めるサイドウォールマスク層を形成する工程と、前記第2マスク層および前記サイドウォールマスク層をマスクにして前記第1マスク層に前記第1コンタクトホールと連通する第2コンタクトホールを開口する工程と、前記第2コンタクトホールが開口された第1マスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程と、前記連通する第1コンタクトホールおよび第2コンタクトホールを導電体で埋め込み、配線層を形成する工程とを有する。

【0026】上記の本発明の半導体装置の製造方法によれば、まず半導体基板上に絶縁膜を形成し、その上層に構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造となる第1マスク層を形成し、その上層に第2マスク層を形成する。次に、第2マスク層に第1コンタクトホールを形成する。次に、この第1コンタクトホールの内壁にサイドウォールマスク層を形成し、第1コンタクトホールの開口径を狭める。次に、この開口径を狭めたサイドウォールマスク層および第2マスク層をマスクとして第1マスク層に第2コンタクトホールを開口する。次に、この第1マスク層をマスクとして絶縁膜に第2コンタクトホールを開口する。この絶縁膜に対する第2コンタクトホールの開口工程においては、構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造である第1マスク層をマスクとしていることから、開口部の肩部の後退が抑制されており、開口径の拡大が抑制されているので、耐圧不良や配線ショートなどを引き起こしにくい。また、第1マスク層を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールのアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0027】また、この第1マスク層の後退が抑制されていることから、第2コンタクトホールを導電体で埋め込んだときの埋め込み配線層の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、埋め込み配線層をエッチバックしたときのブラグロス小さく抑制することができ、半導体基板に対するえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。

【0028】上記の本発明の半導体装置の製造方法は、好適には、前記第1マスク層に第2コンタクトホールを開口する工程が、前記第1マスク層を貫通して前記絶縁膜を露出させる工程であるか、もしくは、前記第1マスク層に第2コンタクトホールを開口する工程が、前記第1マスク層を貫通し、前記絶縁膜の上方に達する第2コ

ンタクトホールを開口する工程である。第1マスク層に径を狭めたコンタクトホールを開口し、次にこの第1マスク層をマスクとして絶縁膜に第2コンタクトホールを開口することができるので、開口径の拡大などを抑制した信頼性の高いコンタクトホールを開口することができる。

【0029】上記の本発明の半導体装置の製造方法は、好適には、前記第1マスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程が、同時に前記第2マスク層および前記サイドウォールマスク層を除去する工程である。第2マスク層およびサイドウォールマスク層は、第1マスク層へ第2コンタクトホールを開口した時点でその役割を終了する。第1マスク層への第2コンタクトホールを開口の後は除去することによりマスク層の薄膜化を図ることができ、さらに、絶縁膜への第2コンタクトホールの開口と同時に行うので工程数の削減を行うことができる。

【0030】上記の本発明の半導体装置の製造方法は、好適には、前記第1マスク層に第2コンタクトホールを開口する工程と、前記第1マスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程の間に、前記第2マスク層および前記サイドウォールマスク層を除去する工程を有する。第1マスク層への第2コンタクトホールを開口の後は除去することによりマスク層の薄膜化を図ることができ、マイクロローディング効果などをさらに抑制することができる。

【0031】上記の本発明の半導体装置の製造方法は、好適には、前記第1マスク層を、前記絶縁膜とエッチング選択比をとることができる材料で形成する。これにより、絶縁膜への第2コンタクトホールの開口における第1マスク層の後退やコンタクトホールの開口径の拡大などをさらに抑制することができる。

【0032】上記の本発明の半導体装置の製造方法は、好適には、前記第2マスク層およびサイドウォールマスク層を、前記第1マスク層とエッチング選択比をとることができる材料で形成する。これにより、第1マスク層への第2コンタクトホールの開口における開口径の拡大を抑制でき、さらに第1マスク層を残して第2マスク層およびサイドウォールマスク層を除去することが可能となる。このためには、第1マスク層をポリシリコンで形成し、第2マスク層およびサイドウォールマスク層を酸化シリコンあるいは窒化シリコンにより形成するか、もしくは、第1マスク層を窒化シリコンで形成し、第2マスク層およびサイドウォールマスク層をポリシリコンあるいは酸化シリコンにより形成することで実現することが可能である。

【0033】さらに上記の目的を達成するため、本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上にマスク層を形成する工程と、前記マスク層に第1コンタクトホールを開口する工

程と、前記第1コンタクトホールの内壁に前記第1コンタクトホールの開口径を狭めるサイドウォールマスク層を形成する工程と、前記マスク層および前記サイドウォールマスク層をマスクにして前記絶縁膜を貫通する第2コンタクトホールを開口する工程と、前記連通する第1コンタクトホールおよび第2コンタクトホールを導電体で埋め込み、配線層を形成する工程と、前記マスク層および前記サイドウォールマスク層を除去する工程とを有し、前記マスク層および前記サイドウォールマスク層を前記配線層に対してエッチング選択比を有する材料により形成する。

【0034】上記の本発明の半導体装置の製造方法によれば、まず半導体基板上に絶縁膜を形成し、その上層にマスク層を形成し、マスク層に第1コンタクトホールを形成する。次に、この第1コンタクトホールの内壁にサイドウォールマスク層を形成し、第1コンタクトホールの開口径を狭める。次に、この開口径を狭めたサイドウォールマスク層およびマスク層をマスクとして絶縁膜に第2コンタクトホールを開口する。次に、第2コンタクトホール内を埋め込んで全面に導電体を堆積させ、エッチバックしてコンタクトホールの外部の導電体を除去した後、マスク層およびサイドウォールマスク層を除去する。このように、埋め込み配線層のエッチバック後にマスク層およびサイドウォールマスク層を除去することから、埋め込み配線層のエッチバックにより発生したブラグロスに相当する分の膜厚で第1マスク層を形成しておけば、ブラグロスを抑制し、実質的に無くすることも可能である。これにより、安定に接続するコンタクト接合を形成することができ、埋め込み配線層の上層に上部電極を形成する場合も、ブラグロスが抑制されているので容易に形成することができる。

【0035】上記の本発明の半導体装置の製造方法は、好適には、前記マスク層および前記サイドウォールマスク層を窒化シリコンで形成し、前記配線層をポリシリコンで形成する。これにより、マスク層およびサイドウォールマスク層を配線層に対してエッチング選択比を有するものとすることができる。

【0036】上記の本発明の半導体装置の製造方法は、好適には、前記マスク層および前記サイドウォールマスク層を、前記絶縁膜とエッチング選択比をとることができる材料で形成する。これにより第2コンタクトホールの開口部の径の拡大や肩部の後退が抑制され、配線ショートなどを引き起こしにくく、第1マスク層を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールのアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくくすることができ、これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコ

ンタクトホールを開口することができる。また、第1マスク層の後退が抑制されているので、第2コンタクトホールをポリシリコンなどで埋め込んだときの埋め込み配線層の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのブラグロスを小さく抑制することができる。このためには、絶縁膜を酸化シリコンで形成し、マスク層およびサイドウォールマスク層を窒化シリコンで形成し、配線層をポリシリコンで形成することで実現することが可能である。

【0037】上記の本発明の半導体装置の製造方法は、好適には、前記第1コンタクトホールの開口工程および第2コンタクトホールの開口工程の少なくともいずれかの工程が低圧高密度のプラズマエッチングにより開口する工程である。コンタクトホールの開口には、従来タイプのプラズマ処理装置でも原理的に可能であるが、開口径の高精度制御や高アスペクトホール開口という観点では、最近注目されている低圧・高密度プラズマ発生のエッチング装置の使用が望ましい。低圧高密度プラズマにおいては、放電空間に電場を誘起させてプラズマ中の自由電子を加速し、その結果生じる高エネルギー電子によって中性ガスを電離し、高密度のプラズマを得る。低圧のエッチング室において高密度のプラズマを発生させると、基板表面近傍に形成されるイオンシース中でイオンが、他のイオンや中性ガス粒子と衝突する確率が小さくなるため、イオンの直進性が高まり、また電離度が高いためにイオン対中性ラジカルの比が大きくとれ、エッチングの異方性を高めることができる。低圧高密度のプラズマ源としては、ECR (Electron Cyclotron Resonance) タイプ、ICP (Inductively Coupled Plasma) タイプ、ヘリコン波プラズマタイプを好ましく用いることができる。

#### 【0038】

【発明の実施の形態】以下に、本発明の実施の形態について、図面を参照して説明する。

#### 【0039】第1実施形態

本実施形態の製造方法により製造した半導体装置の断面図を図1に示す。半導体基板10上に図示しないMOSトランジスタなどの素子が形成されており、その上層を例えば酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、半導体基板10に接続している。

【0040】かかる半導体装置は、コンタクトホールの径の拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0041】以下に、上記の本実施形態の半導体装置の



製造方法について説明する。まず、図2(a)に示すように、例えばシリコン半導体基板10上に、図示しないトランジスタなどの素子を形成した後、これらの素子を被覆して例えば酸化シリコンを常圧CVD法により堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜20を形成する。次に絶縁膜20の上層に例えば減圧CVD法によりポリシリコンを堆積させ、第1マスク層21を形成する。次に第1マスク層21の上層に例えば減圧CVD法により酸化シリコンを堆積させ、第2マスク層22を形成する。次に第2マスク層22の上層にレジスト膜を塗布し、例えば400nmφの第1コンタクトホールC1の開口パターンにパターニングしてレジスト膜R1を形成する。

【0042】次に、図2(b)に示すように、例えばマグネトロン方式のエッチング装置にてレジスト膜R1をマスクにしてエッチングを行い、第1マスク層21を露出させる第1コンタクトホールC1を第2マスク層22に開口する。次に、レジスト膜R1を除去する。

【0043】次に、図2(c)に示すように、例えば酸化シリコンを減圧CVD法にて第2マスク層22及び第1コンタクトホールC1内を全面に被覆して堆積させ、サイドウォールマスク用層23を形成する。

【0044】次に、図3(d)に示すように、例えば、平行平板方式のエッチング装置にてサイドウォールマスク用層23のエッチバックを行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を例えば約200nmφに狭めることができる。

【0045】次に、図3(e)に示すように、例えばECRタイプのエッチング装置にて第2マスク層22およびサイドウォールマスク層23aをマスクにしてエッチングを行い、第1マスク層21を貫通して絶縁膜20を露出させる、開口径約200nmφの第2コンタクトホールC2を開口する。

【0046】次に、図4(f)に示すように、例えばマグネトロン方式のエッチング装置にて約200nmφの開口径を有する第1マスク層21をマスクにしてエッチングを行い、絶縁膜20を貫通して半導体基板10を露出させる第2コンタクトホールC2を絶縁膜20に開口する。第2マスク層22およびサイドウォールマスク層23aは絶縁膜20への第2コンタクトホールC2の開口エッチングと同時にエッチング除去するか、あるいは第2コンタクトホールC2の開口に先立って除去しておく。

【0047】次に、図4(g)に示すように、例えばポリシリコンを減圧CVD法により第2コンタクトホールC2内に埋め込んで第1マスク層21上面を全面に堆積させ、埋め込み配線層30を形成する。

【0048】次に、例えばECRタイプのエッチング装置にて全面にエッチバックを行い、第2コンタクトホー

ルC2内に埋め込まれ、半導体基板10に接続する、例えば200nmφの径を有する埋め込み配線層30aを形成し、図1に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層30aの上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【0049】上記の絶縁膜20への第2コンタクトホールC2の開口工程においては、従来方法ではマスク層の開口部の肩部が後退して開口径が拡大し、絶縁膜20中の開口がテーパー形状となってゲート電極などの下層配線とコンタクトホールの側壁間の距離が狭まり、配線ショートあるいは耐圧不良をひき起こすことがあったが、本実施形態の半導体装置の製造方法においては、第1マスク層21は構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造であるので開口部の肩部の後退が抑制されており、配線ショートなどを引き起こしにくい。また、第1マスク層21を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールC2のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0050】また、従来方法では第2コンタクトホールを開口する工程においてサイドウォールマスク層が大きく後退してしまうので、第2コンタクトホールC2をポリシリコンで埋め込んだときにコンタクトホール上方部分に大きな凹みが生じ、その後のエッチバックにより埋め込み配線層のプラグロスが大きくなり、場合によってはコンタクトホール底部において半導体基板に対するえぐれが生じ、コンタクト抵抗の増大などのコンタクト不良を起こすことがあった。本実施形態の半導体装置の製造方法によれば、この第1マスク層21の後退が抑制されていることから、第2コンタクトホールC2をポリシリコンなどで埋め込んだときの埋め込み配線層30の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのプラグロスを小さく抑制することができ、半導体基板に対するえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。

【0051】以上のように、本実施形態によりマスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

【0052】以下に、本実施形態における実施例を図面を参照して説明する。

10

20

30

40

50

**実施例 1**

本実施例の製造方法により製造した半導体装置の断面図を図5に示す。半導体基板10上に図示しないMOSトランジスタなどの素子が形成されており、その上層を酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、半導体基板10に接続している。

【0053】かかる半導体装置は、コンタクトホールの径の拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0054】以下に、上記の本実施例の半導体装置の製造方法について説明する。まず、図6(a)に示すように、シリコン半導体基板10上に、図示しないトランジスタなどの素子を形成した後、これらの素子を被覆して酸化シリコンを常圧CVD法により約700nmの膜厚で堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜20を形成する。次に絶縁膜20の上層に減圧CVD法によりポリシリコンを200nmの膜厚で堆積させ、第1マスク層21を形成する。次に第1マスク層21の上層に減圧CVD法により酸化シリコンを200nmの膜厚で堆積させ、第2マスク層22を形成する。次に第2マスク層22の上層にコーターを用いてレジスト膜を600nmの膜厚で塗布し、エキシマステッパーにより400nmφの第1コンタクトホールの開口パターンにパターニングしてレジスト膜R1を形成する。

【0055】次に、図6(b)に示すように、マグネトロン方式のエッチング装置にてレジスト膜R1をマスクにして200nmエッチングを行い、第1マスク層21を露出させる第1コンタクトホールCH1を第2マスク層22に開口する。次に、μ波ダウンフロー方式のアッシャーを用いてレジスト膜R1を除去する。

【0056】次に、図6(c)に示すように、酸化シリコンを減圧CVD法にて第2マスク層22及び第1コンタクトホールCH1内を全面に被覆して100nmの膜厚で堆積させ、サイドウォールマスク用層23を形成する。

【0057】次に、図7(d)に示すように、平行平板方式のエッチング装置にてサイドウォールマスク用層23のエッチバックを100nm行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を約200nmφに狭めることができる。

【0058】次に、図7(e)に示すように、ECRタイプのエッチング装置にて第2マスク層22およびサイドウォールマスク層23aをマスクにして200nmエ

ッチングを行い、第1マスク層21を貫通して絶縁膜20を露出させる、開口径約200nmφの第2コンタクトホールCH2を開口する。

【0059】次に、図8(f)に示すように、マグネトロン方式のエッチング装置にて約200nmφの開口径を有する第1マスク層21をマスクにして700nmエッチングを行い、絶縁膜20を貫通して半導体基板10を露出させる第2コンタクトホールCH2を絶縁膜20に開口する。酸化シリコンからなる第2マスク層22およびサイドウォールマスク層23aは絶縁膜20への第2コンタクトホールCH2の開口エッチングと同時にエッチング除去する。

【0060】次に、図8(g)に示すように、ポリシリコンを減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面を全面に200nmの膜厚で堆積させ、埋め込み配線層30を形成する。

【0061】次に、ECRタイプのエッチング装置にて全面に400nmのエッチバックを行い、第2コンタクトホールCH2内に埋め込まれ、半導体基板10に接続する約200nmφの径を有する埋め込み配線層30aを形成し、図5に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層30aの上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【0062】上記の絶縁膜20への第2コンタクトホールCH2の開口工程においては、第1マスク層21は構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造であるので開口部の肩部の後退が抑制されており、配線ショートなどを引き起こしにくい。

また、第1マスク層21を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールCH2のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0063】また、第1マスク層21の後退が抑制されていることから、第2コンタクトホールCH2をポリシリコンなどで埋め込んだときの埋め込み配線層30の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのブラグロスを小さく抑制することができ、半導体基板に対するえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。

【0064】以上のように、本実施例によりマスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制し

た、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

#### 【0065】実施例2

本実施例の製造方法により製造した半導体装置の断面図を図9に示す。半導体基板10上に図示しないMOSトランジスタなどの素子が形成されており、その上層を酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、半導体基板10に接続して

【0066】かかる半導体装置は、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0067】以下に、上記の本実施例の半導体装置の製造方法について説明する。まず、図10(a)に示すように、シリコン半導体基板10上に、図示しないトランジスタなどの素子を形成した後、これらの素子を被覆して酸化シリコンを常圧CVD法により約700nmの膜厚で堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜20を形成する。次に絶縁膜20の上層に減圧CVD法によりポリシリコンを実施例1の場合よりも薄い100nmの膜厚で堆積させ、第1マスク層21を形成する。次に第1マスク層21の上層に減圧CVD法により窒化シリコンを200nmの膜厚で堆積させ、第2マスク層22を形成する。次に第2マスク層22の上層にコーターを用いてレジスト膜を600nmの膜厚で塗布し、エキシマステッパーにより400nmφの第1コンタクトホールの開口パターンにパターニングしてレジスト膜R1を形成する。

【0068】次に、図10(b)に示すように、マグネトロン方式のエッチング装置にてレジスト膜R1をマスクにして200nmエッチングを行い、第1マスク層21を露出させる第1コンタクトホールCH1を第2マスク層22に開口する。次に、μ波ダウンフロー方式のアッシャーを用いてレジスト膜R1を除去する。

【0069】次に、図10(c)に示すように、窒化シリコンを減圧CVD法にて第2マスク層22及び第1コンタクトホールCH1内を全面に被覆して100nmの膜厚で堆積させ、サイドウォールマスク用層23を形成する。

【0070】次に、図11(d)に示すように、平行平板方式のエッチング装置にてサイドウォールマスク用層23のエッチバックを100nm行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を約200nmφに狭めることができる。

【0071】次に、図11(e)に示すように、ECR

タイプのエッチング装置にて第2マスク層22およびサイドウォールマスク層23aをマスクにして100nmエッチングを行い、第1マスク層21を貫通して絶縁膜20を露出させる、開口径約200nmφの第2コンタクトホールCH2を開口する。

【0072】次に、図12(f)に示すように、マグネトロン方式のエッチング装置にて約200nmφの開口径を有する第1マスク層21をマスクにして700nmエッチングを行い、絶縁膜20を貫通して半導体基板10を露出させる第2コンタクトホールCH2を絶縁膜20に開口する。窒化シリコンからなる第2マスク層22およびサイドウォールマスク層23aは絶縁膜20への第2コンタクトホールCH2の開口エッチングと同時にエッチング除去する。このとき、実施例1の場合よりも第1マスク層21の肩部の丸みを小さくすることができ、第2コンタクトホールCH2の開口径の広がりやをさらに抑制することができる。

【0073】次に、図12(g)に示すように、ポリシリコンを減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面を全面に、実施例1の場合よりも薄い100nmの膜厚で堆積させ、埋め込み配線層30を形成する。

【0074】次に、ECRタイプのエッチング装置にて全面に200nmのエッチバックを行い、第2コンタクトホールCH2内に埋め込まれ、半導体基板10に接続する約200nmφの径を有する埋め込み配線層30aを形成し、図9に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層30aの上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【0075】上記の絶縁膜20への第2コンタクトホールCH2の開口工程においては、第1マスク層21は構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さない構造であるので開口部の肩部の後退が抑制されており、配線ショートなどを引き起こしにくい。また、第1マスク層21を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールCH2のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0076】また、第1マスク層21の後退が抑制されていることから、第2コンタクトホールCH2をポリシリコンなどで埋め込んだときの埋め込み配線層30の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのプラグロスを小さく抑制することができ、半導体基板に対す

るえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。

【0077】上記の本実施例の半導体装置の製造方法においては、第2マスク層22およびサイドウォールマスク層23aを窒化シリコンにより形成していることから、第2マスク層22およびサイドウォールマスク層23aを酸化シリコンにより形成した実施例1の場合よりもポリシリコンの第1マスク層21をエッチングするときの選択比を高くとることができる。これは、酸化シリコンからなる層をエッチングするとプラズマ中に多くの酸素が供給され、ポリシリコン層のエッチング選択比を下げてしまうことを回避できるからである。これにより、第2マスク層22の膜厚を実施例1の場合より薄くすることが可能で、第2マスク層22およびサイドウォールマスク層23aをエッチング除去した後の第1マスク層21の開口部の肩部の丸みをより小さくすることができる。このため、コンタクトホールの上方部分における埋め込み配線層31の凹みを悪化させないで埋め込み配線層30の膜厚を実施例1の場合より薄くすることができる。これによりコンタクトホールのアスペクト比を小さくできるので、マイクロローディング効果やエッチストップの発生をさらに抑制することができる。また、ポリシリコン層の総堆積膜厚が200nm薄いことは、製造コストおよびスループットの観点からも有利である。

【0078】以上のように、本実施例によりマスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

### 【0079】実施例3

本実施例の製造方法により製造した半導体装置の断面図を図13に示す。半導体基板10上に、ゲート絶縁膜24を介して形成されたポリシリコンの下側ゲート電極31aおよびタングステンシリサイドの上側ゲート電極31bからなるポリサイドのゲート電極31、その両側部に形成された酸化シリコンのLDDサイドウォール絶縁膜25a、ゲート電極31の両側部の半導体基板10中に形成されたLDD拡散層11およびソース・ドレイン拡散層12を有するMOSトランジスタが形成されており、その上層を酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10のソース・ドレイン拡散層12に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、ソース・ドレイン拡散層12に接続している。

【0080】かかる半導体装置は、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグ

ロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0081】以下に、上記の本実施例の半導体装置の製造方法について説明する。まず、図14(a)に示すように、シリコン半導体基板10上に、熱拡散炉を用いたドライ酸化法によりゲート絶縁膜24を20nmの膜厚で形成した後、ポリシリコンを減圧CVD法で100nm堆積させて下側ゲート電極用層31aを形成し、その上層にタングステンシリサイドをスパッタ法で100nm堆積させて上側ゲート電極用層31bを形成する。次に、上側ゲート電極用層31bの上層にコーターを用いてレジスト膜を600nmの膜厚で塗布し、エキシマステッパーにより200nmの線幅のゲート電極パターンにパターニングしてレジスト膜R2を形成する。

【0082】次に、図14(b)に示すように、ECRタイプのエッチング装置にてレジスト膜R2をマスクにして上側ゲート電極用層31bを100nm、下側ゲート電極用層31aを100nm、それぞれエッチングを行い、下側ゲート電極31aおよび上側ゲート電極31bからなるポリサイドのゲート電極31を形成する。次に、μ波ダウンフロー方式のアッシャーを用いてレジスト膜R2を除去した後、ゲート電極31をマスクにして半導体基板10中にイオン注入を行い、LDD拡散層11を形成する。次に、酸化シリコンを減圧CVD法によりゲート電極31および半導体基板10を全面に被覆して100nmの膜厚で堆積させ、LDDサイドウォール絶縁膜用層25を形成する。

【0083】次に、図14(c)に示すように、平行平板方式のエッチング装置にて220nmの全面エッチバックを行い、LDDサイドウォール絶縁膜25aを形成する。次に、LDDサイドウォール絶縁膜25a付きのゲート電極31をマスクにして半導体基板10中にイオン注入を行い、ソース・ドレイン拡散層12を形成する。以上のように、ゲート絶縁膜24、ゲート電極31、LDDサイドウォール絶縁膜25a、LDD拡散層11、ソース・ドレイン拡散層12を有するMOSトランジスタを形成する。

【0084】次に、図15(d)に示すように、上記で形成したMOSトランジスタを被覆して酸化シリコンを常圧CVD法により約1000nmの膜厚で堆積させ、CMP (Chemical Mechanical Polishing) 法により300nm研磨することにより平坦化して膜厚700nmの絶縁膜20を形成する。次に絶縁膜20の上層に減圧CVD法によりポリシリコンを100nmの膜厚で堆積させ、第1マスク層21を形成する。次に第1マスク層21の上層に減圧CVD法により窒化シリコンを200nmの膜厚で堆積させ、第2マスク層22を形成する。

【0085】次に、図15(e)に示すように、第2マスク層22の上層にコーターを用いてレジスト膜を600nmの膜厚で塗布し、エキシマステッパーにより40

0 nmφの第1コンタクトホールCH1の開口パターンにパターニングしてレジスト膜R1を形成する。次に、マグネトロン方式のエッチング装置にてレジスト膜R1をマスクにして200 nmエッチングを行い、第1マスク層21を露出させる第1コンタクトホールCH1を第2マスク層22に開口する。

【0086】次に、図15(f)に示すように、μ波ダウンフロー方式のアッシャーを用いてレジスト膜R1を除去した後、窒化シリコンを減圧CVD法にて第2マスク層22及び第1コンタクトホールCH1内を全面に被覆して100 nmの膜厚で堆積させ、サイドウォールマスク用層23を形成し、次に平行平板方式のエッチング装置にてサイドウォールマスク用層23のエッチバックを100 nm行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を約200 nmφに狭めることができる。

【0087】次に、図16(g)に示すように、ECRタイプのエッチング装置にて第2マスク層22およびサイドウォールマスク層23aをマスクにして100 nmエッチングを行い、第1マスク層21を貫通して絶縁膜20を露出させる、開口径約200 nmφの第2コンタクトホールCH2を開く。

【0088】次に、図16(h)に示すように、マグネトロン方式のエッチング装置にて約200 nmφの開口径を有する第1マスク層21をマスクにして700 nmエッチングを行い、絶縁膜20を貫通して半導体基板10中のソース・ドレイン拡散層12を露出させる第2コンタクトホールCH2を絶縁膜20に開口する。窒化シリコンからなる第2マスク層22およびサイドウォールマスク層23aは絶縁膜20への第2コンタクトホールCH2の開口エッチングと同時にエッチング除去する。

【0089】次に、図16(i)に示すように、ポリシリコンを減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面を全面に100 nmの膜厚で堆積させ、埋め込み配線層30を形成する。

【0090】次に、ECRタイプのエッチング装置にて全面に200 nmのエッチバックを行い、第2コンタクトホールCH2内に埋め込まれ、半導体基板10に接続する約200 nmφの径を有する埋め込み配線層30aを形成し、図13に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層30aの上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【0091】以上の本実施例の半導体装置の製造方法によれば、マスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細な

コンタクトを有する、MOSトランジスタ系の半導体装置を製造することができる。

#### 【0092】実施例4

本実施例の製造方法により製造した半導体装置の断面図を図17に示す。半導体基板10上に、ゲート絶縁膜24を介して形成されたポリシリコンの下側ゲート電極31aおよびタングステンシリサイドの上側ゲート電極31bからなるポリサイドのゲート電極31、その両側部に形成された酸化シリコンのLDDサイドウォール絶縁膜25a、ゲート電極31の両側部の半導体基板10中に形成されたLDD拡散層11およびソース・ドレイン拡散層12を有するMOSトランジスタが形成されており、その上層を酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10のソース・ドレイン拡散層12に達するコンタクトホールが開口されている。コンタクトホール内に埋め込まれてソース・ドレイン拡散層12に接続している埋め込み配線層30aと第1マスク層の一部21aからなる記憶ノード電極MN、その上層に形成された窒化シリコンからなるキャパシタ絶縁膜26、およびポリシリコンのプレート電極32とからキャパシタが形成されている。

【0093】かかる半導体装置は、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやブラグロスを抑制した、配線の信頼性を確保した微細な記憶ノードコンタクトを有する半導体装置である。

【0094】以下に、上記の本実施例の半導体装置の製造方法について説明する。まず、図18(a)に示すように、実施例3と同様な方法によりゲート絶縁膜24、ゲート電極31、LDDサイドウォール絶縁膜25a、LDD拡散層11、ソース・ドレイン拡散層12を有するMOSトランジスタを形成する。次に、MOSトランジスタを被覆して酸化シリコンを常圧CVD法により約1000 nmの膜厚で堆積させ、CMP (Chemical Mechanical Polishing) 法により300 nm研磨することにより平坦化して膜厚700 nmの絶縁膜20を形成する。次に絶縁膜20の上層に減圧CVD法によりポリシリコンを200 nmの膜厚で堆積させ、第1マスク層21を形成する。次に第1マスク層21の上層に減圧CVD法により窒化シリコンを200 nmの膜厚で堆積させ、第2マスク層22を形成する。次に、第2マスク層22の上層にコーターを用いてレジスト膜を600 nmの膜厚で塗布し、エキシマステッパーにより400 nmφの第1コンタクトホールの開口パターンにパターニングしてレジスト膜R1を形成する。

【0095】次に、図18(b)に示すように、マグネトロン方式のエッチング装置にてレジスト膜R1をマスクにして200 nmエッチングを行い、第1マスク層21を露出させる第1コンタクトホールCH1を第2マスク層22に開口する。次に、μ波ダウンフロー方式のア

ッシャーを用いてレジスト膜R1を除去した後、窒化シリコンを減圧CVD法にて第2マスク層22及び第1コンタクトホールCH1内を全面に被覆して100nmの膜厚で堆積させ、サイドウォールマスク用層23を形成する。

【0096】次に、図18(c)に示すように、平行平板方式のエッチング装置にてサイドウォールマスク用層23のエッチバックを100nm行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を約200nmφに狭めることができる。

【0097】次に、図19(d)に示すように、ECRタイプのエッチング装置にて第2マスク層22およびサイドウォールマスク層23aをマスクにして200nmエッチングを行い、第1マスク層21を貫通して絶縁膜20を露出させる、開口径約200nmφの第2コンタクトホールCH2を開口する。

【0098】次に、図19(e)に示すように、マグネトロン方式のエッチング装置にて約200nmφの開口径を有する第1マスク層21をマスクにして700nmエッチングを行い、絶縁膜20を貫通して半導体基板10中のソース・ドレイン拡散層12を露出させる第2コンタクトホールCH2を絶縁膜20に開口する。窒化シリコンからなる第2マスク層22およびサイドウォールマスク層23aは絶縁膜20への第2コンタクトホールCH2の開口エッチングと同時にエッチング除去する。

【0099】次に、図19(g)に示すように、ポリシリコンを減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面を全面に100nmの膜厚で堆積させ、埋め込み配線層30を形成する。

【0100】次に、図20(h)に示すように、埋め込み配線層30の上層にコーターを用いてレジスト膜を600nmの膜厚で塗布し、エキシマステッパーにより約200nmφの記憶ノード電極パターンにパターニングしてレジスト膜R3を形成する。

【0101】次に、図20(i)に示すように、ECRタイプのエッチング装置にてレジスト膜R3をマスクにして300nmエッチングを行い、埋め込み配線層30aおよび第1マスク層の一部21aからなる、約200nmφの記憶ノード電極MNを形成する。

【0102】次に、窒化シリコンを減圧CVD法にて記憶ノード電極MNを被覆して全面に20nmの膜厚で堆積させ、キャパシタ絶縁膜26を形成し、その上層に減圧CVD法によりポリシリコンを200nmの膜厚で堆積させ、プレート電極32を形成し、図17に示す構造の半導体装置を形成する。

【0103】以上の本実施例の半導体装置の製造方法によれば、マスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチ

ングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細な記憶ノードコンタクトを有する、MOSトランジスタ系の半導体装置を製造することができる。

#### 【0104】第2実施形態

本実施形態の製造方法により製造した半導体装置の断面図を図21に示す。半導体基板10上に図示しないMOSトランジスタなどの素子が形成されており、その上層を例えば酸化シリコンからなる絶縁膜20が形成されており、その上層に例えば窒化シリコンからなる第1マスク層21が形成されている。絶縁膜20および第1マスク層21には半導体基板10に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、その上層に形成された上部電極33と半導体基板10を接続している。

【0105】かかる半導体装置は、コンタクトホールの径の拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0106】以下に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図22(a)に示すように、例えばシリコン半導体基板10上に、図示しないトランジスタなどの素子を形成した後、これらの素子を被覆して例えば酸化シリコンを常圧CVD法により堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜20を形成する。次に絶縁膜20の上層に例えば減圧CVD法により窒化シリコンを約100nmの膜厚で堆積させ、第1マスク層21を形成する。次に第1マスク層21の上層に例えば減圧CVD法によりポリシリコンを約300nmの膜厚で堆積させ、第2マスク層22を形成する。次に第2マスク層22の上層にレジスト膜を塗布し、例えば400nmφの第1コンタクトホールの開口パターンにパターニングしてレジスト膜R1を形成する。

【0107】次に、図22(b)に示すように、レジスト膜R1をマスクにしてRIE(反応性イオンエッチング)などのエッチングを行い、第1マスク層21を露出させる第1コンタクトホールCH1を第2マスク層22に開口する。次に、レジスト膜R1を除去する。

【0108】次に、図22(c)に示すように、例えばポリシリコンを減圧CVD法にて第2マスク層22及び第1コンタクトホールCH1内を全面に被覆して約140nmの膜厚で堆積させ、サイドウォールマスク用層23を形成する。

【0109】次に、図23(d)に示すように、例えばRIEなどの異方性エッチングによりサイドウォールマスク用層23のエッチバックを行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を例えば約12



0 nmφに狭めることができる。

【0110】次に、図23(e)に示すように、例えばECRタイプのエッチング装置にて第2マスク層22およびサイドウォールマスク層23aをマスクにしてエッチングを行い、第1マスク層21を貫通し、絶縁膜20の途中まで開口径約120 nmφの第2コンタクトホールCH2を開口する。

【0111】次に、図23(f)に示すように、例えばECRタイプのエッチング装置にてエッチングを行い、第2マスク層22およびサイドウォールマスク層23aを除去する。

【0112】次に、図24(g)に示すように、第1マスク層21をマスクにして例えばECRタイプのエッチング装置にて絶縁膜20の途中まで開口した約120 nmφの開口径を有するコンタクトホールCH2をのエッチングを続け、絶縁膜20を貫通して半導体基板10を露出させる第2コンタクトホールCH2を絶縁膜20に開口する。

【0113】次に、図24(h)に示すように、例えばポリシリコンを減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面を全面に堆積させ、埋め込み配線層30を形成する。

【0114】次に、図24(i)に示すように、例えばECRタイプのエッチング装置にて全面にエッチバックを行い、第2コンタクトホールCH2内に埋め込まれ、半導体基板10に接続する、例えば120 nmφの径を有する埋め込み配線層30aを形成する。

【0115】次に、埋め込み配線層30aの上層に例えばポリシリコンを堆積させ、パターニングして上部電極33を形成し、図21に示す半導体装置を形成することができる。埋め込み配線層は半導体基板10と上部電極33を接続している。この後の工程としては、例えば上部電極33の上層にさらに上層配線を接続したり、あるいは上部配線33を記憶ノード電極とし、その上層にキャパシタ絶縁膜およびプレート電極を形成してキャパシタ構造とすることなどができる。

【0116】上記の絶縁膜20への第2コンタクトホールCH2の開口工程においては、マスク層を2層構造にしてその下側の層に絶縁膜20に対してエッチング選択比を有する材料を用い、また、マスクとして構造的に選択比が低いポリシリコンのサイドウォールマスク層を有さないことから開口部の径の拡大や肩部の後退が抑制されており、配線ショートなどを引き起こしにくい。また、第1マスク層21を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールCH2のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した

微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0117】また、第1マスク層21の後退が抑制されていることから、第2コンタクトホールCH2をポリシリコンなどで埋め込んだときの埋め込み配線層30の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのプラグロス小さく抑制することができ、半導体基板に対するえぐれなどのコンタクト不良などを引き起こすことなくコンタクト接合を形成することができる。埋め込み配線層の上層に上部電極を形成する場合も、プラグロスが抑制されているので容易に形成することができる。

【0118】以上のように、本実施形態によりマスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

### 【0119】第3実施形態

本実施形態の製造方法により製造した半導体装置の断面図を図25に示す。半導体基板10上に、ゲート絶縁膜24を介して形成されたポリシリコンの下側ゲート電極31aおよびタングステンシリサイドの上側ゲート電極31bからなるポリサイドのゲート電極31、その両側部に形成された酸化シリコンのLDDサイドウォール絶縁膜25a、ゲート電極31の両側部の半導体基板10中に形成されたLDD拡散層11およびソース・ドレイン拡散層12を有するMOSトランジスタなどの素子が形成されており、その上層を例えば酸化シリコンからなる絶縁膜20が形成されている。絶縁膜20には半導体基板10に達するコンタクトホールが開口されており、コンタクトホール内に埋め込み配線層30aが埋め込まれており、半導体基板10に接続している。

【0120】かかる半導体装置は、コンタクトホールの径の拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置である。

【0121】以下に、上記の本実施形態の半導体装置の製造方法について説明する。まず、図26(a)に示すように、シリコン半導体基板10上に、熱酸化法によりゲート絶縁膜24を形成した後、例えばポリシリコンを（反応ガス：SiH<sub>4</sub>/H<sub>2</sub>/PH<sub>3</sub>=0.45slm/10slm/20sccm、圧力：10.6kPa、基板温度620℃）の条件の減圧CVD法で約100 nm堆積させて下側ゲート電極用層31aを形成し、その上層に例えばタングステンシリサイドを（反応ガス：SiH<sub>2</sub>Cl<sub>2</sub>/WF<sub>6</sub>=100sccm/3.6sccm、圧力：133Pa、基板温度595℃）の条件の熱CVD法で約100 nm堆積させて上側ゲート電極用層31bを形成する。

【0122】次に、上側ゲート電極用層31bの上層にコーターを用いてレジスト膜を塗布し、エキシマステッパにより約0.35μmの線幅のゲート電極パターンにパターニングしてレジスト膜R2を形成する。次に、例えばECRタイプのエッチング装置にて（反応ガス：Cl<sub>2</sub>/O<sub>2</sub>=75sccm/6sccm、圧力：0.4Pa、μ波出力：1200W（2.45GHz）、RFバイアス：70～50W（800kHz）、基板温度20℃）の条件でレジスト膜R2をマスクにしてエッチングを行い、下側ゲート電極31aおよび上側ゲート電極31bからなるポリサイドのゲート電極31を形成する。

【0123】次に、レジスト膜R2を除去した後、ゲート電極31をマスクにして半導体基板10中にイオン注入を行い、LDD拡散層11を形成する。次に、例えば酸化シリコンを減圧CVD法によりゲート電極31および半導体基板10を全面に被覆して堆積させ、アノードカップル平行平板型のエッチング装置にて（反応ガス：CHF<sub>3</sub>/CF<sub>4</sub>/Ar=40sccm/40sccm/800sccm、圧力：200Pa、μ波出力：500W（2380kHz）、基板温度50℃）の条件でエッチバックを行い、LDDサイドウォール絶縁膜25aを形成する。次に、LDDサイドウォール絶縁膜25a付きのゲート電極31をマスクにして半導体基板10中にイオン注入を行い、ソース・ドレイン拡散層12を形成する。以上のように、ゲート絶縁膜24、ゲート電極31、LDDサイドウォール絶縁膜25a、LDD拡散層11、ソース・ドレイン拡散層12を有するMOSトランジスタを形成する。

【0124】次に、図26（b）に示すように、上記のようにして形成したトランジスタなどの素子を被覆して例えば酸化シリコンを常圧CVD法により約600nmの膜厚で堆積させ、リフローあるいはエッチバックなどにより平坦化して絶縁膜20を形成する。次に、絶縁膜20の上層に例えば（反応ガス：SiH<sub>2</sub>Cl<sub>2</sub>/NH<sub>3</sub>=50sccm/500sccm、圧力：35Pa、基板温度750℃）の条件の縦型減圧CVD法により窒化シリコンを約300nmの膜厚で堆積させ、第1マスク層21を形成する。

【0125】次に、図26（c）に示すように、第1マスク層21の上層にレジスト膜を塗布し、例えばエキシマステッパにより約0.3μmφの第1コンタクトホールCH1の開口パターンにパターニングしてレジスト膜を形成し、例えばECRタイプのエッチング装置にてエッチングを行い、絶縁膜20を露出させる第1コンタクトホールCH1を第1マスク層21に開口する。

【0126】次に、図27（d）に示すように、例えば（反応ガス：SiH<sub>2</sub>Cl<sub>2</sub>/NH<sub>3</sub>=50sccm/500sccm、圧力：35Pa、基板温度750℃）の条件の縦型減圧CVD法により窒化シリコンを第1マスク層21及び第1コンタクトホールCH1内を全面に被覆して約120nmの膜厚で堆積させ、サイドウォールマスク用層23を形成する。

【0127】次に、図27（e）に示すように、例えばECRタイプのエッチング装置にてサイドウォールマスク用層23のエッチバックを行い、サイドウォールマスク層23aを形成する。サイドウォールマスク層23aの形成により、コンタクトホールの径を例えば約0.1μmφに狭めることができる。

【0128】次に、図28（f）に示すように、例えばECRタイプのエッチング装置にて第1マスク層21およびサイドウォールマスク層23aをマスクにしてエッチングを行い、絶縁膜20を貫通して半導体基板10中のソース・ドレイン拡散層12を露出させる、開口径約0.1μmφの第2コンタクトホールCH2を開口する。

【0129】次に、図28（g）に示すように、例えば（反応ガス：SiH<sub>4</sub>/1%PH<sub>3</sub>=1000sccm/50sccm、圧力：65Pa、基板温度550℃）の条件の縦型減圧CVD法により第2コンタクトホールCH2内を埋め込んで第1マスク層21上面全面にp型不純物含有ポリシリコンを約400nm堆積させ、埋め込み配線層30を形成する。

【0130】次に、図28（h）に示すように、例えばECRタイプのエッチング装置にて全面にエッチバックを行い、第2コンタクトホールCH2内に埋め込まれ、半導体基板10中のソース・ドレイン拡散層12に接続する、例えば0.1μmφの径を有する埋め込み配線層30aを形成する。このとき、埋め込み配線層30aは、その表面が第1マスク層21の表面の高さよりも下方にエッチングされており、ほぼ第1マスク層21の膜厚に相当するプラグロスが発生している。

【0131】次に、例えばリン酸系のウェットエッチングを施し、第1マスク層21およびサイドウォールマスク層23aを除去することで図25に示す構造の半導体装置を形成する。この後の工程としては、例えば埋め込み配線層30aの上層に上層配線を接続したり、記憶ノード電極を形成してキャパシタ構造とすることなどができる。

【0132】上記の本実施形態の半導体装置の製造方法においては、第1マスク層21およびサイドウォールマスク層23aとしてタングステン-タングステンシリサイド膜を用いることもできる。この場合、例えば（反応ガス：SiH<sub>3</sub>Cl/WF<sub>6</sub>=300sccm/3sccm、圧力：133Pa、基板温度595℃）の条件のCVD法により成膜することができる。また、埋め込み配線層のエッチバックの後にタングステン-タングステンシリサイド膜の第1マスク層およびサイドウォールマスク層を除去するためには、例えばH<sub>2</sub>O<sub>2</sub>系のウェットエッチングを用いることができる。

【0133】上記の絶縁膜20への第2コンタクトホールCH2の開口工程においては、マスク層（第1マスク層およびサイドウォールマスク層）に絶縁膜20に対してエッチング選択比を有する材料を用いたことから開口



部の径の拡大や肩部の後退が抑制されており、耐圧不良や配線ショートなどを引き起こしにくい。また、第1マスク層21を従来方法のマスク層より薄膜化することが可能で、第2コンタクトホールCH2のアスペクト比を従来よりも小さくすることができ、エッチストップなどの開口不良を引き起こしにくい。これらのことから、エッチング中を通して初期の開口径を保ち、マイクロローディング効果やエッチングストップなどのコンタクトホール開口不良のない、配線の信頼性を確保した微細なほぼ垂直形状のコンタクトホールを開口することができる。

【0134】また、埋め込み配線層30aの形成後に第1マスク層を除去することから、発生するプラグロスに相当する膜厚の第1マスク層を形成しておくことにより、プラグロスを抑制することが可能である。さらに、第1マスク層21の後退が抑制されていることから、第2コンタクトホールCH2をポリシリコンなどで埋め込んだときの埋め込み配線層30の膜厚を従来方法よりも薄膜化してもコンタクトホール上方部分の凹みを小さくでき、エッチバックしたときのプラグロスをさらに抑制することができる。これにより、安定に接続するコンタクト接合を形成することができ、埋め込み配線層の上層に上部電極を形成する場合も、プラグロスが抑制されているので容易に形成することができる。

【0135】以上のように、本実施形態により、プラグロスが抑制され、マスク層の肩部の後退を抑制し、コンタクトホールの拡大が抑制されており、配線のショートやエッチングストップの生じていない、半導体基板へのえぐれやプラグロスを抑制した、配線の信頼性を確保した微細なコンタクトを有する半導体装置を製造することができる。

【0136】本発明は、DRAMなどのMOSトランジスタの半導体装置や、バイポーラ系の半導体装置、あるいはA/Dコンバータなど、コンタクトホールを有する半導体装置であればなんでも適用できる。装置の微細化、縮小化が進められた半導体装置に、微細で信頼性の高いコンタクトによる接合を提供することができる。

【0137】本発明は、上記の実施の形態に限定されない。例えば、第1マスク層、第2マスク層およびサイドウォールマスク層はそれぞれ多層以上の構成としてもよい。また、プラズマエッチング法としては、ECRタイプのプラズマエッチングのほか、ICPタイプや、ヘリコン波プラズマエッチングなど、様々な種類のエッチングを使用することができる。その他、装置構成、サンプル構造、エッチング、研磨等のプロセス条件などについて、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。また、MOSトランジスタを有する半導体装置においては、ゲート電極は単層でも多層でもよく、例えばオフセット絶縁膜や薄いシリコン窒化膜をゲート電極上に形成して自己整合的にコンタクトホールを開口してもよい。ソースドレイン拡散層はLDD構造な

どの種々の構造を使用できる。その他、本発明の要旨を逸脱しない範囲で種々の変更を行うことができる。

【0138】

【発明の効果】本発明によれば、コンタクトホール内壁にサイドウォールを形成し、コンタクトホールの開口径を狭めて開口する方法において、2層のマスク層を使用し、下側のマスク層について選択比を低下させるサイドウォール構造を有さない構造とすることでエッチング中の開口径の拡大などを抑制し、プラグロスの発生を抑制し、配線のショートやエッチングストップの生じない、配線の信頼性を確保した微細なコンタクトを有する半導体装置の製造方法を提供することができる。

【0139】また、本発明によれば、コンタクトホール内壁にサイドウォールを形成し、コンタクトホールの開口径を狭めて開口する方法において、マスク層としては1層でよいが、コンタクトホール内への埋め込み配線層を形成した後で埋め込み配線層を残しながらマスク層およびサイドウォールマスク層を除去することにより、プラグロスの発生を抑制し、配線の信頼性を確保した微細なコンタクトを有する半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】図1は本発明の第1実施形態の半導体装置の製造方法により製造した半導体装置の断面図である。

【図2】図2は本発明の第1実施形態の半導体装置の製造方法の製造工程を示す断面図であり、(a)は第1コンタクトホール用レジスト膜の形成工程まで、(b)は第1コンタクトホールの開口工程まで、(c)はサイドウォールマスク用層の形成工程までを示す。

【図3】図3は図2の続きの工程を示し、(d)はサイドウォールマスク層の形成工程まで、(e)は第1マスク層を貫通する第2コンタクトホールの開口工程までを示す。

【図4】図4は図3の続きの工程を示し、(f)は絶縁膜を貫通する第2コンタクトホールの開口工程まで、(g)は埋め込み配線層の形成工程までを示す。

【図5】図5は本発明の実施例1の半導体装置の製造方法により製造した半導体装置の断面図である。

【図6】図6は本発明の実施例1の半導体装置の製造方法の製造工程を示す断面図であり、(a)は第1コンタクトホール用レジスト膜の形成工程まで、(b)は第1コンタクトホールの開口工程まで、(c)はサイドウォールマスク用層の形成工程までを示す。

【図7】図7は図6の続きの工程を示し、(d)はサイドウォールマスク層の形成工程まで、(e)は第1マスク層を貫通する第2コンタクトホールの開口工程までを示す。

【図8】図8は図7の続きの工程を示し、(f)は絶縁膜を貫通する第2コンタクトホールの開口工程まで、(g)は埋め込み配線層の形成工程までを示す。

【図 9】図 9 は本発明の実施例 2 の製造方法により製造した半導体装置の断面図である。

【図 10】図 10 は本発明の実施例 2 の半導体装置の製造方法の製造工程を示す断面図であり、(a) は第 1 コンタクトホール用レジスト膜の形成工程まで、(b) は第 1 コンタクトホールの開口工程まで、(c) はサイドウォールマスク用層の形成工程までを示す。

【図 11】図 11 は図 10 の続きの工程を示し、(d) はサイドウォールマスク層の形成工程まで、(e) は第 1 マスク層を貫通する第 2 コンタクトホールの開口工程までを示す。

【図 12】図 12 は図 11 の続きの工程を示し、(f) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(g) は埋め込み配線層の形成工程までを示す。

【図 13】図 13 は本発明の実施例 3 の製造方法により製造した半導体装置の断面図である。

【図 14】図 13 は本発明の実施例 3 の半導体装置の製造方法の製造工程を示す断面図であり、(a) はゲート電極用レジスト膜の形成工程まで、(b) は LDD サイドウォール絶縁膜用層の形成工程まで、(c) は LDD サイドウォール絶縁膜の形成工程までを示す。

【図 15】図 15 は図 14 の続きの工程を示し、(d) は第 2 マスク層の形成工程まで、(e) は第 1 コンタクトホールの開口工程まで、(f) はサイドウォールマスク層の形成工程までを示す。

【図 16】図 16 は図 15 の続きの工程を示し、(g) は第 1 マスク層を貫通する第 2 コンタクトホールの開口工程まで、(h) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(i) は埋め込み配線層の形成工程までを示す。

【図 17】図 17 は本発明の実施例 4 の製造方法により製造した半導体装置の断面図である。

【図 18】図 18 は本発明の実施例 4 の半導体装置の製造方法の製造工程を示す断面図であり、(a) は第 1 コンタクトホール用レジスト膜の形成工程まで、(b) はサイドウォールマスク用層の形成工程まで、(c) はサイドウォールマスク層の形成工程までを示す。

【図 19】図 19 は図 18 の続きの工程を示し、(d) は第 1 マスク層を貫通する第 2 コンタクトホールの開口工程まで、(e) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(f) は埋め込み配線層の形成工程までを示す。

【図 20】図 20 は図 19 の続きの工程を示し、(h) は記憶ノード電極用レジスト膜の形成工程まで、(i) は記憶ノード電極の形成工程までを示す。

【図 21】図 21 は本発明の第 2 実施形態の製造方法により製造した半導体装置の断面図である。

【図 22】図 22 は本発明の第 2 実施形態の半導体装置の製造方法の製造工程を示す断面図であり、(a) は第 1 コンタクトホール用レジスト膜の形成工程まで、

(b) は第 1 コンタクトホールの開口工程まで、(c) はサイドウォールマスク用層の形成工程までを示す。

【図 23】図 23 は図 22 の続きの工程を示し、(d) はサイドウォールマスク層の形成工程まで、(e) は第 1 マスク層を貫通し、絶縁膜の途中まで達する第 2 コンタクトホールの開口工程まで、(f) は第 2 マスク層およびサイドウォールマスク層の除去工程までを示す。

【図 24】図 24 は図 23 の続きの工程を示し、(g) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(h) は埋め込み配線層の形成工程まで、(i) は埋め込み配線層のエッチバック工程までを示す。

【図 25】図 25 は本発明の第 3 実施形態の製造方法により製造した半導体装置の断面図である。

【図 26】図 26 は本発明の第 3 実施形態の半導体装置の製造方法の製造工程を示す断面図であり、(a) はトランジスタの形成工程まで、(b) は第 1 マスク層の形成工程まで、(c) は第 1 コンタクトホールの開口工程までを示す。

【図 27】図 27 は図 26 の続きの工程を示し、(d) はサイドウォールマスク用層の形成工程まで、(e) はサイドウォールマスク層の形成工程までを示す。

【図 28】図 28 は図 27 の続きの工程を示し、(f) は絶縁膜を貫通する第 2 コンタクトホールの開口工程まで、(g) は埋め込み配線層の形成工程まで、(h) は埋め込み配線層のエッチバック工程までを示す。

【図 29】図 29 は従来例の半導体装置の製造方法により製造した半導体装置の断面図である。

【図 30】図 30 は従来の半導体装置の製造方法の製造工程を示す断面図であり、(a) は第 1 コンタクトホール用レジスト膜の形成工程まで、(b) は第 1 コンタクトホールの開口工程まで、(c) はサイドウォールマスク用層の形成工程までを示す。

【図 31】図 31 は図 30 の続きの工程を示し、(d) はサイドウォールマスク層の形成工程まで、(e) は第 2 コンタクトホールの開口工程まで、(f) は埋め込み配線層の形成工程までを示す。

【図 32】図 32 は図 30 の続きの工程を示し、(a) はサイドウォールマスク層の形成工程まで、(b) は第 2 コンタクトホールの開口におけるエッチストップ発生までを示す。

【図 33】図 33 は図 30 の続きの工程を示す要部拡大図であり、(a) はサイドウォールマスク層の形成工程まで、(b) は第 2 コンタクトホールの開口工程までを示す。

【図 34】図 34 は図 30 の続きの工程を示し、(a) はサイドウォールマスク層の形成工程まで、(b) は第 2 コンタクトホールの開口工程までを示す。

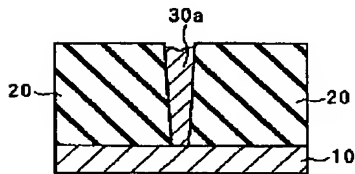
【図 35】図 35 は図 34 の続きの工程を示し、(c) は埋め込み配線層の形成工程まで、(d) は埋め込み配線層のエッチバック工程までを示す。

## 【符号の説明】

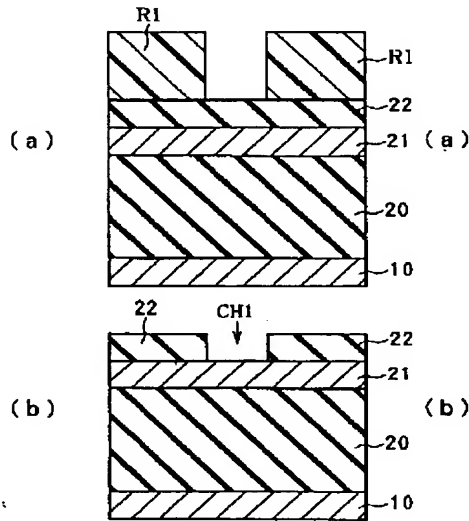
10…半導体基板、11…LDD拡散層、12…ソース・ドレイン拡散層、20…絶縁膜、21…第1マスク層、21a…第1マスク層の一部、22…第2マスク層、23…サイドウォールマスク用層、23a…サイドウォールマスク層、24…ゲート絶縁膜、25…LDDサイドウォール絶縁膜用層、25a…LDDサイドウォール絶縁膜層、26…キャパシタ絶縁膜、30、30a

…埋め込み配線層、31…ゲート電極、31a…下側ゲート電極、31b…上側ゲート電極、32…プレート電極、33…上部電極、R1、R2、R3…レジスト膜、CH1、CH2…コンタクトホール、MN…記憶ノード、PL…プラグロス、ES…エッチストップ、FC…フロッカーボン層、B…後退幅、H…凹み、S…耐圧低下部位、X…基板のえぐれ。

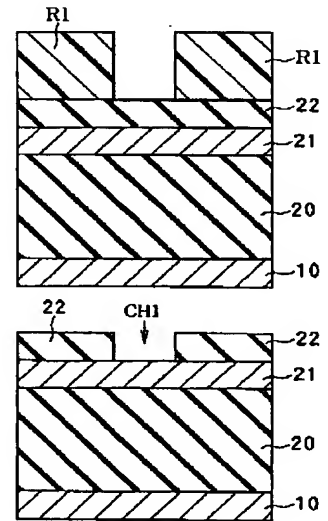
【図1】



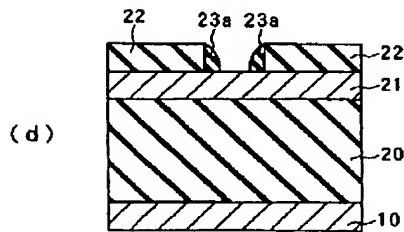
【図2】



【図6】

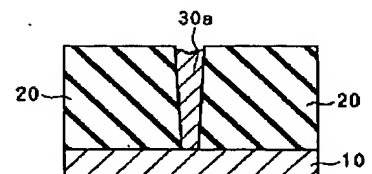
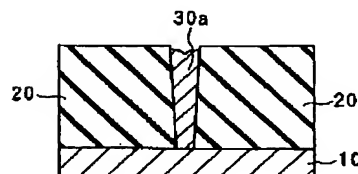
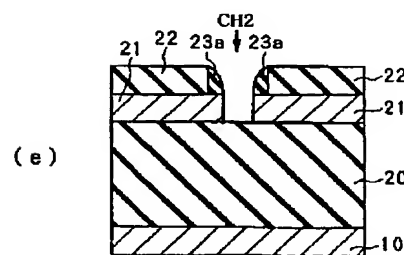


【図3】

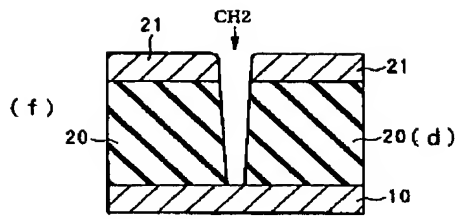


【図5】

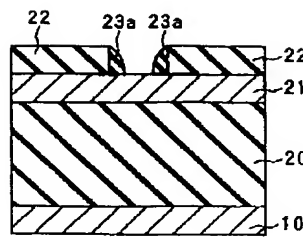
【図9】



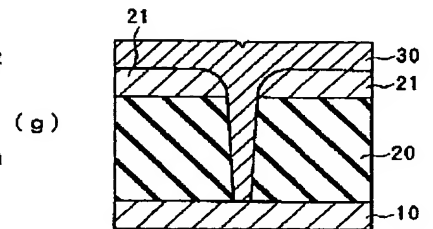
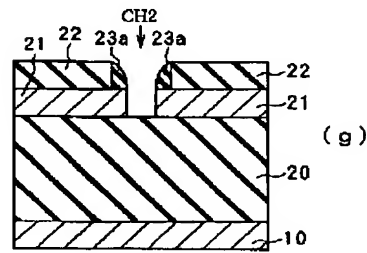
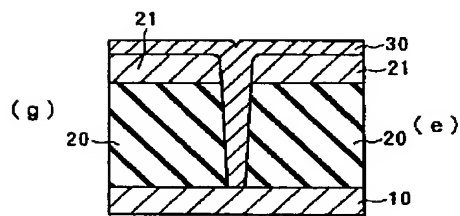
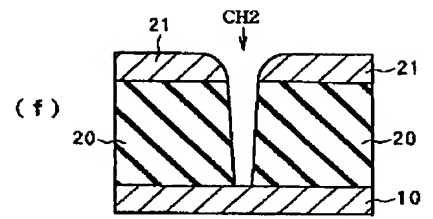
【図 4】



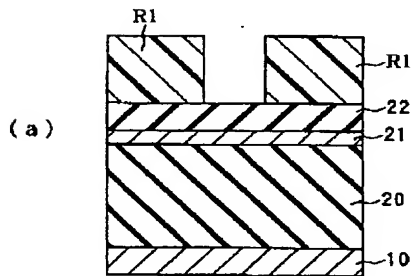
【図 7】



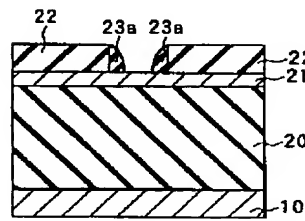
【図 8】



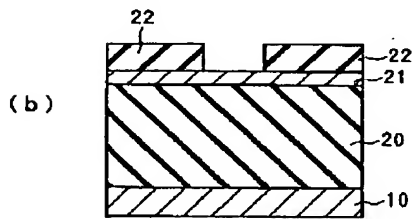
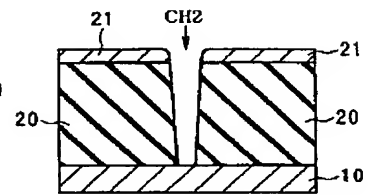
【図 10】



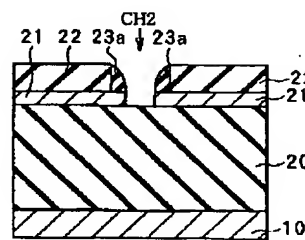
【図 11】



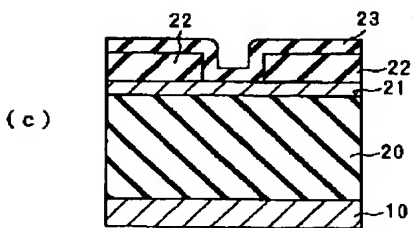
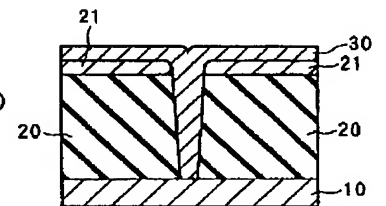
【図 12】



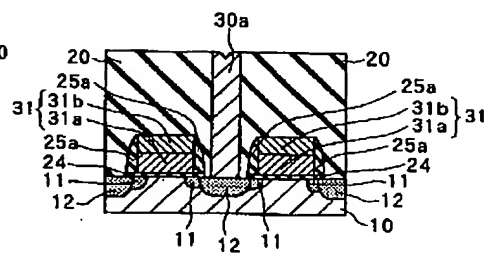
(e)



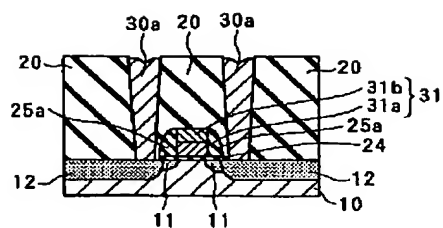
(g)



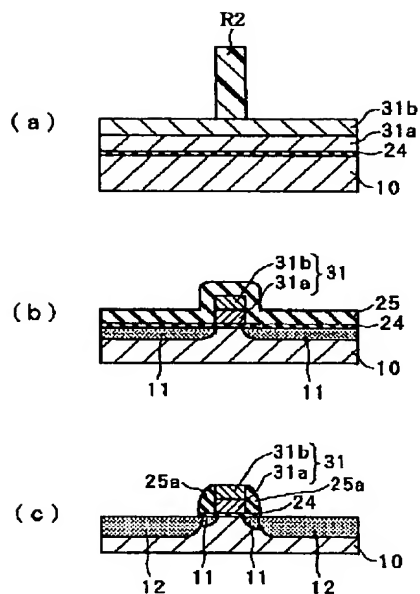
【図 25】



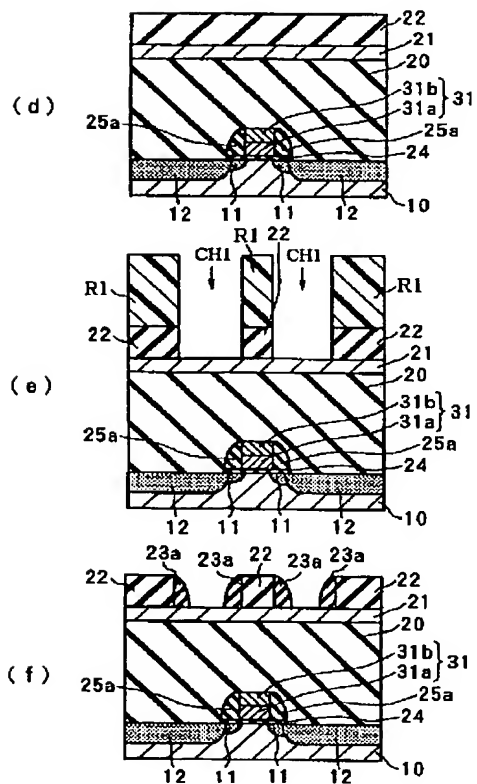
【図13】



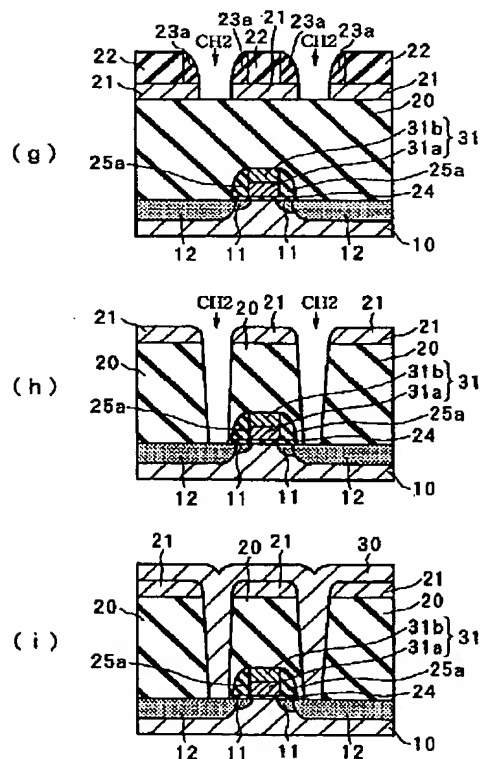
【図14】



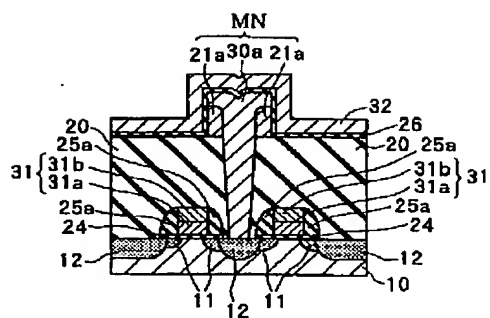
【図15】



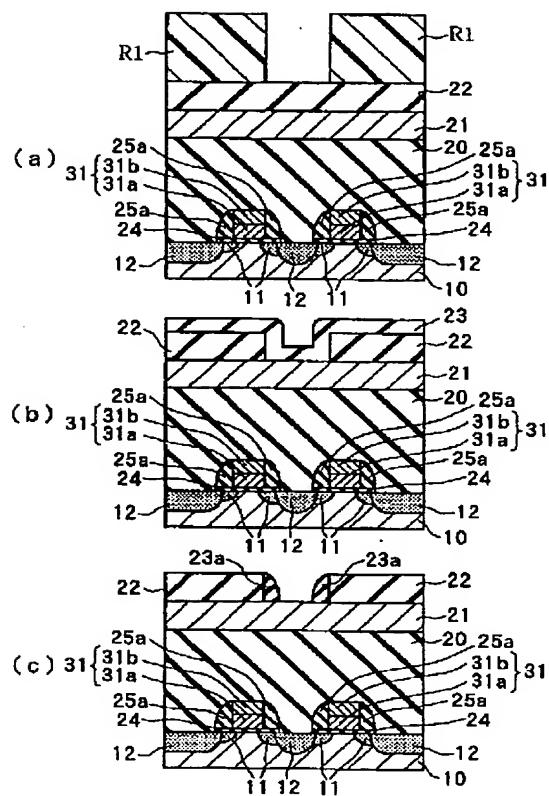
【図16】



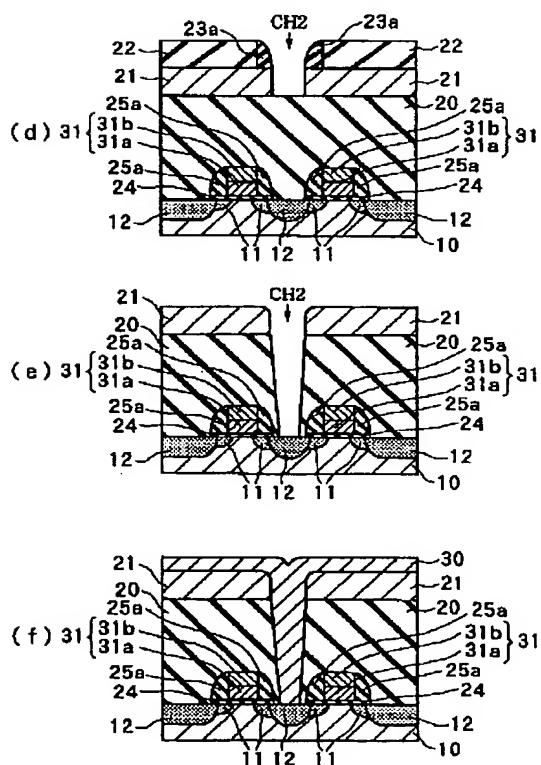
【図 17】



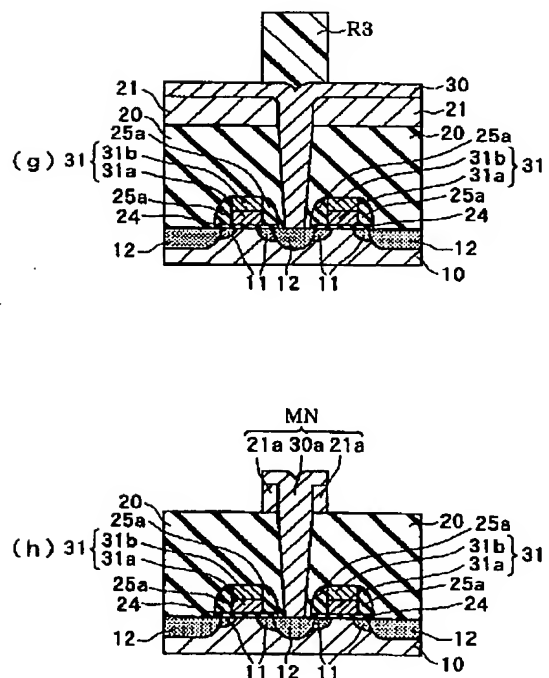
【図 18】



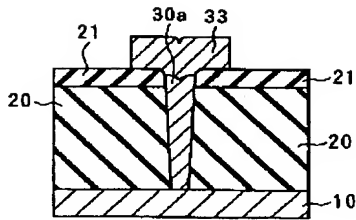
【図 19】



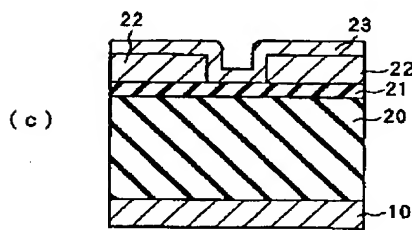
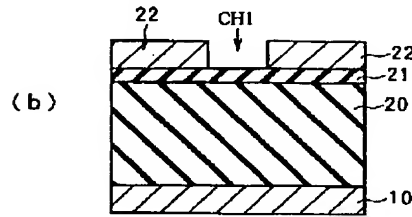
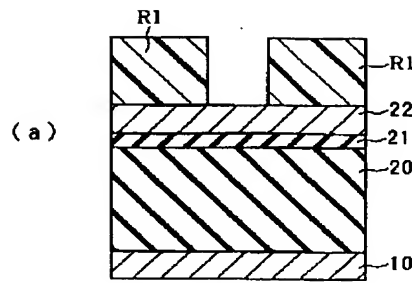
【図 20】



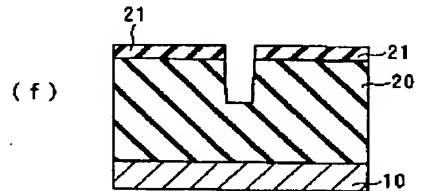
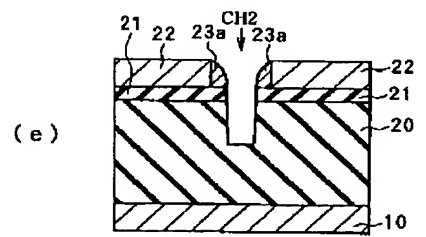
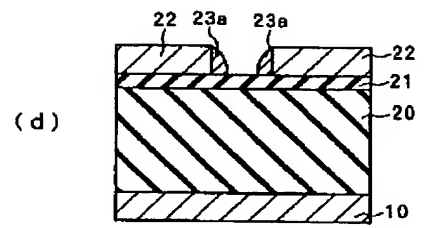
【図21】



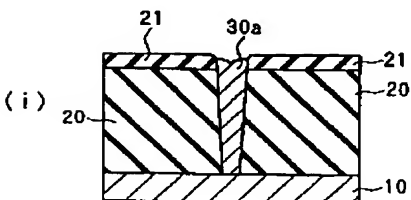
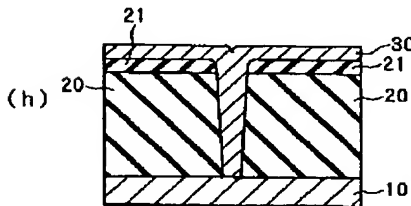
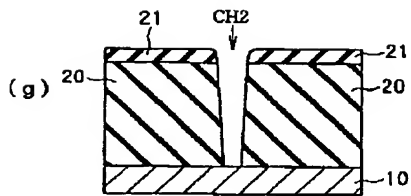
【図22】



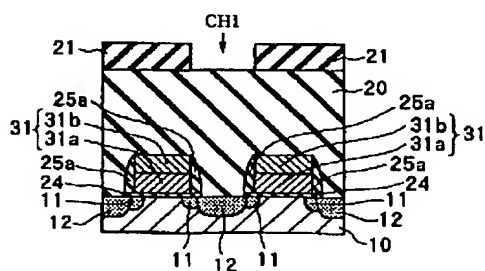
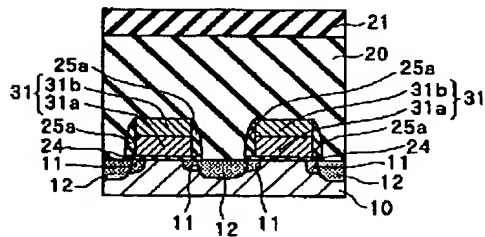
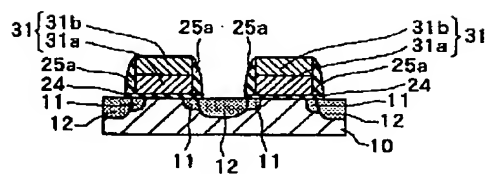
【図23】



【図24】



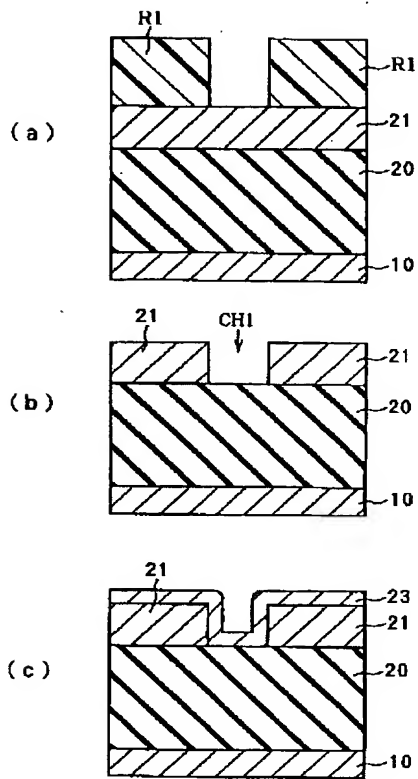
【図26】



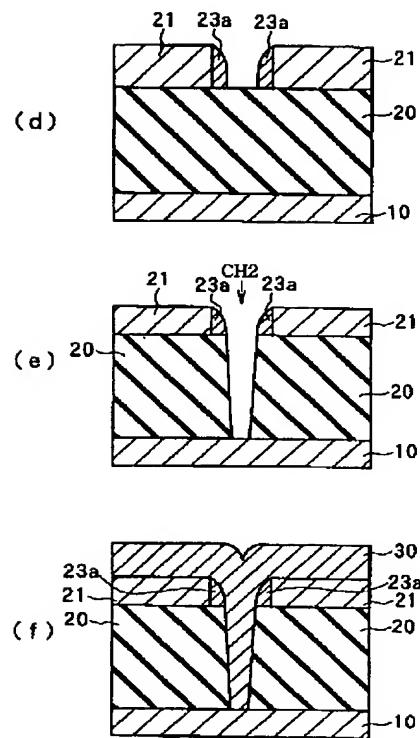




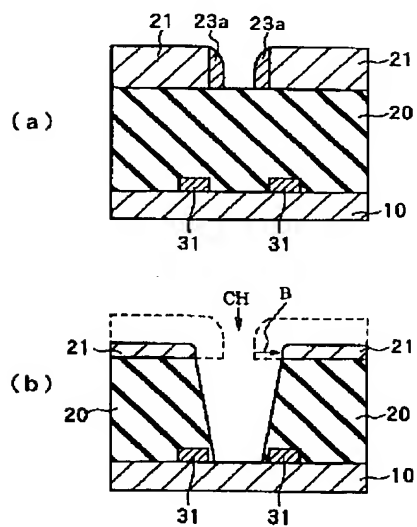
【図 30】



【図 31】



【図 34】



【図 35】

